

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-116111

(43)Date of publication of application : 02.05.1997

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01G 4/33
H01L 21/285
H01L 27/04
H01L 21/822
H01L 27/10

(21)Application number : 07-274197

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 23.10.1995

(72)Inventor : KURODA YOSHIKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which is resistant to heat treatment and can be processed at a high speed even when it is changed to be of large capacity by constituting it by using a first electrode wherein upper and lower electrodes is in contact with a ferroelectric thin film and which is made of such material that does not react during heat treatment and a second electrode formed of low resistance metal with specific resistivity.

SOLUTION: An insulation film such as SiO₂, etc., formed through thermal oxidization is formed on the surface of a silicon substrate 1. A second electrode 22 made of low-resistance metal or alloy including low resistance metal and a first electrode 21 are piled up in sequence thereon, thereby forming a lower electrode 2. The electrode 22 is made of Al, etc. which have a resistivity of 1.0 to 3.0. m. cm and a low resistance. In addition, the electrode 21 is made of conductive oxide including ITO, etc., which do not react at the heat treatment temperature of ferroelectric thin film. Next, a ferroelectric thin film 3 is formed on the electrode 2, and further a first electrode 41 and a second electrode 42 are piled up in sequence on the film 3 by the same structure as the electrode 2, thereby forming an upper electrode 4, and finally it is subject to heat treatment.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-116111

(43) 公開日 平成9年(1997)5月2日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 5 1
	21/8242		21/285	Z
H 0 1 G 4/33			27/10	4 5 1
H 0 1 L 21/285			H 0 1 G 4/06	1 0 2
	27/04		H 0 1 L 27/04	C
審査請求 未請求 請求項の数9 O L (全 8 頁) 最終頁に続く				

(21) 出願番号 特願平7-274197

(22) 出願日 平成7年(1995)10月23日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 黒田 吉己

東京都渋谷区幡ヶ谷2丁目42番2号 オリ

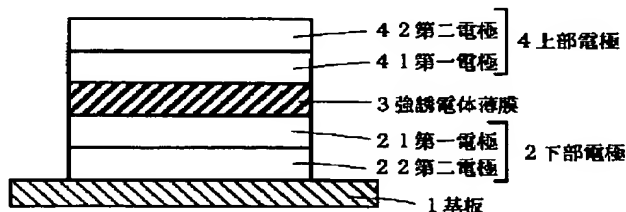
ンパス光学工業株式会社内

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】低抵抗電極を有する半導体装置では高温熱処理に弱く、高温熱処理に強い半導体装置では電極の抵抗が大きいこと。

【解決手段】基板1、低抵抗金属または低抵抗金属を含有した合金からなる第二電極22、導電性酸化物からなる第一電極21、強誘電体薄膜3、導電性酸化物からなる第一電極41、低抵抗金属または低抵抗金属を含有した合金からなる第二電極42の順に積層された半導体装置。



【特許請求の範囲】

【請求項 1】基板上に形成された下部電極と、前記下部電極上に形成された強誘電体薄膜と、前記強誘電体薄膜上に形成された上部電極とを有する半導体装置において、

前記下部電極および前記上部電極の少なくとも一方の電極が、前記強誘電体薄膜と接し前記強誘電体薄膜の熱処理温度において反応しない第一電極と、比抵抗 $1.0 \sim 3.0 \mu\Omega\text{cm}$ の低抵抗金属もしくはこの低抵抗金属を含有した合金からなる第二電極とで構成されることを特徴とする半導体装置。

【請求項 2】前記第一電極が、 ITO 、 SnO_2 、 In_2O_3 、 RuO_2 、 IrO_2 、 RhO_2 、 OsO_2 のうち少なくとも一種からなる導電性酸化物で形成され、前記第二電極が、 Al 、 Cu 、 Au のうち少なくとも一種からなる金属、またはこの金属を含有する合金で形成されることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】前記第二電極は、前記第一電極と接する反応防止導電層と低抵抗金属層とからなることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】前記第一電極が、 Pt 、または Rh 、 Ru 、 Os 、 Ir のうち少なくとも一種の元素を含有する Pt で形成され、

前記反応防止導電層が、 ITO 、 SnO_2 、 In_2O_3 、 RuO_2 、 IrO_2 、 RhO_2 、 OsO_2 、 TiN 、 TiW のうち少なくとも一種の化合物で形成され、

前記低抵抗金属層が、 Al 、 Cu 、 Au のうち少なくとも一種からなる金属、またはこの金属を含有する合金で形成されることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】前記反応防止導電層は、前記低抵抗金属層を挟みこむよう構成することを特徴とする請求項 3 または請求項 4 記載の半導体装置。

【請求項 6】前記反応防止導電層は、前記低抵抗金属層を完全に覆うよう構成することを特徴とする請求項 3 または請求項 4 記載の半導体装置。

【請求項 7】前記第二電極は、前記第一電極に接する面と反対側の面に接着層を有することを特徴とする請求項 1 または請求項 2 記載の半導体装置。

【請求項 8】前記接着層は、 Ti を主成分とする化合物、または ITO 、 SnO_2 、 In_2O_3 、 RuO_2 、 IrO_2 、 RhO_2 、 OsO_2 のうち少なくとも一種からなる導電性酸化物で形成されることを特徴とする請求項 7 記載の半導体装置。

【請求項 9】前記下部電極はストライプ状に複数配列した電極からなり、前記上部電極は前記下部電極と互いに交差して格子状になるようストライプ状に複数配列した電極からなることを特徴とする請求項 1 から請求項 8 のうちのいずれか 1 項記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は強誘電体薄膜を有するメモリ装置、薄膜コンデンサ装置、薄膜センサー、電気光学装置などの半導体装置に関する。

【0002】

【従来の技術】図 10 に、半導体装置の一種であり、下部電極と上部電極との間に強誘電体薄膜を挟んだ構造からなる薄膜キャパシタの一般的な概略構成を示す。図 10 において、101 はシリコン基板である。102 は薄膜キャパシタの下地となる絶縁膜であり、例えばシリコン基板 101 を熱酸化することで $0.5 \sim 1 \mu\text{m}$ の SiO_2 絶縁膜を形成する。201 は薄膜キャパシタの下部電極であり、一般的には高温熱処理に安定な Pt を用いてスパッタで $0.1 \sim 0.5 \mu\text{m}$ の膜厚のものを形成する。

【0003】301 は強誘電体薄膜であり、例えば $\text{Pb}(\text{TiZr})\text{O}_3$ (略称 PZT)、 PbTiO_3 、 BaTiO_3 、 SrTiO_3 、 $\text{Ba}(\text{SrTi})\text{O}_3$ (略称 BST)、 $(\text{PbLa})\text{TiO}_3$ (略称 PLT) 及び Bi 層状酸化物等を用いて、スピンコート、CVD、スパッタなどにより $0.2 \sim 0.5 \mu\text{m}$ の薄膜を形成し、 600°C 以上の温度で焼結して作製する。401 は上部電極であり、高温熱処理に対して安定な Pt をスパッタにより $0.2 \sim 0.5 \mu\text{m}$ の膜厚に形成する。また、特開平 3-257858 号公報では、上部電極として低抵抗材料である Al を $0.5 \mu\text{m}$ の膜厚で形成している。

【0004】しかしながら、電極として低抵抗材料である Al を用いた場合に高温熱処理を施すと、 Al が拡散し上下電極間で電氣的ショートを発生させてしまうため、強誘電体薄膜を成膜後に 600°C 以上の熱処理を施すことができない。従って、上下電極として低抵抗である Al を用いた場合には、強誘電体薄膜成膜後に高温熱処理が施せないために、熱処理により強誘電体薄膜キャパシタの最良な特性を引き出すことができなくなってしまう。

【0005】さらに、高温処理に安定であるとされている Pt を電極に用いた場合でも、 600°C 以上での強誘電体薄膜形成において再結晶による電極表面荒れを生じてしまい、強誘電体薄膜キャパシタの最良な特性を引き出せなくなってしまう。この様な問題点を解決するものとして、特開平 3-257858 号公報には、下部電極として、高温熱処理に安定な導電性酸化物 (RuO_2 、 RhO_2 、 ReO_2 、 OsO_2 、 IrO_2) を $0.5 \mu\text{m}$ の膜厚で形成したものが開示されている。また、本出願人の先願 (特願平 7-193210) においても、高温熱処理時の問題を解決するものとして、 Rh 、 Ru 、 Os 、 Ir のうち少なくとも一種の元素を含有する Pt を電極として用いたものを提案している。

【0006】

【発明が解決しようとする課題】しかし、上述の Pt の

比電気抵抗は約 $10\mu\Omega\text{cm}$ 、また RuO_2 、 RhO_2 、 ReO_2 、 OsO_2 、 IrO_2 等の導電性酸化物の比電気抵抗は $50\mu\Omega\text{cm}$ 以上であり、低抵抗の電極として用いられる低抵抗材料 Al ($2.5\mu\Omega\text{cm}$)などの4倍以上である。このように、通常用いられる電極材料と比較して比電気抵抗が増加しているため、この電極における抵抗分により入力あるいは出力波形の遅延等が生じ、処理速度の限界が発生してしまうことになる。

【0007】また、この強誘電体薄膜キャパシタをメモリなどに用いようとすれば、下部電極および上部電極を互いに交差するようにストライプ状に複数配列した、いわゆる単純マトリックス構造の強誘電体薄膜キャパシタを形成することが考えられるが、この場合、上下電極が配線電極としての役割を果たしているため、電極に高抵抗材料を用いたことによる処理速度の低下が、一層問題となり、特にメモリの大容量化を図る際に障害となってくる。

【0008】本願発明は、このような課題を解決するためになされたものであり、熱処理に強く、大容量化した場合でも高速処理が可能な半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明に係る半導体装置は、基板、下部電極、強誘電体薄膜、上部電極が順次積層された半導体装置において、前記下部電極および上部電極のうち少なくとも一方の電極が、前記強誘電体薄膜と接し且つ強誘電体薄膜の熱処理時において反応しない材料からなる第一電極と、比抵抗 $1.0\sim 3.0\mu\Omega\text{cm}$ の低抵抗金属もしくはこの低抵抗金属を含有した合金で形成される第二電極とで構成されることを特徴としている。

【0010】よって本発明によれば、低抵抗金属又は低抵抗金属を含有した第二電極を有し、この第二電極が強誘電体と接していないので、熱処理に強く、大容量化した場合でも高速処理が可能な半導体装置を提供することができる。

【0011】

【発明の実施の形態】

(第一の実施の形態) 図1に、本発明の第一の実施の形態に係る半導体装置である強誘電体薄膜キャパシタの断面図を示す。図1において基板1はシリコンあるいはガラスからなり、その表面には、熱酸化して形成した SiO_2 、もしくはCVDによる BPSSG 、 PSG 、 NSG 、 Si_3N_4 等の絶縁膜、あるいは Poly-Si が形成されている。その上に、低抵抗金属もしくは低抵抗金属を含有した合金で形成された第二電極22と、第一電極21の順で下部電極2を成膜する。

【0012】ここで第二電極22は、比電気抵抗が $1.5\mu\Omega\text{cm}\sim 2.5\mu\Omega\text{cm}$ と低抵抗である Al ($2.5\mu\Omega\text{cm}$)、 Cu ($1.5\mu\Omega\text{cm}$)、 Au (2.0

$\mu\Omega\text{cm}$)のうち少なくとも1種を含む金属、もしくは AlSi 、 AlSiCu が用いられ、スパッタによって $0.1\sim 1.0\mu\text{m}$ に成膜されている。また、第一電極21は、強誘電体薄膜の熱処理温度において反応しない、 ITO 、 SnO_2 、 In_2O_3 、 RuO_2 、 IrO_2 、 RhO_2 、 OsO_2 のうち少なくとも1種を含む導電性酸化物からなり、スパッタにより $0.1\sim 0.5\mu\text{m}$ に成膜されている。

【0013】次に、下部電極2上に、 $\text{Pb}(\text{TiZr})\text{O}_3$ (略称PZT)、 PbTiO_3 、 BaTiO_3 、 SrTiO_3 、 $\text{Ba}(\text{SrTi})\text{O}_3$ (略称BST)、 $(\text{PbLa})\text{TiO}_3$ (略称PLT)、 Bi 層状酸化物などの強誘電体薄膜3を、スパッタなどで $0.1\sim 0.5\mu\text{m}$ の膜厚で成膜し、その後 $600\sim 800^\circ\text{C}$ で熱処理を行う。

【0014】さらに、その上に第一電極41、第二電極42の順で上部電極4を成膜する。ここで、第一電極41と第二電極42は、それぞれ下部電極2の第一電極21と第二電極22と同じ構成で良い。次に、半導体工程で一般的に用いられる、フォトリソグラフィ技術と、反応性イオンエッチング(RIE)あるいはイオンミリングとによって、上部電極4、強誘電体薄膜3、下部電極2の順に所定の形状を形成し、最後に 600°C 以上の熱処理を行う。

【0015】以上をもって、本発明の第一の実施の形態である強誘電体薄膜キャパシタを形成する。本実施形態に係る強誘電体薄膜キャパシタによれば、低抵抗電極である第二電極22、42と強誘電体薄膜3間に強誘電体薄膜の熱処理温度において反応しない第一電極が形成されており、第二電極と強誘電体とが接触していない。そのため、 $600\sim 800^\circ\text{C}$ の高温熱処理に対して、低抵抗電極である第二電極22、42と、第一電極21、41との間、第一電極21、41と強誘電体薄膜3との間で反応が起こらない。従って、低抵抗電極を有し、且つ高温熱処理を施しても強誘電体の特性が劣化することのない強誘電体薄膜キャパシタを得ることができ、これを後述する図8に示すように複数マトリックス状に組み合わせると、大容量で高速処理が可能な半導体装置を作製することができる。

【0016】なお、この発明の実施の形態の各構成は、当然、各種の変形、変更が可能である。例えば、下部電極2をフォトリソグラフィ技術と、RIEあるいはイオンミリングとを用いて所定形状に形成後に、強誘電体薄膜3を成膜してもよい。また、図2に示すように、下部電極2の第二電極22を、基板1と第一電極21で完全に覆った構造にしてもよい。さらには、上部電極4の第一電極41、強誘電体薄膜3および下部電極2を所定形状に形成後に、 600°C 以上の熱処理を施し、その後に上部電極4の第二電極42を成膜、形成してもよい。さらには、第一電極、第二電極からなる電極構造は上下電

極のどちらか一方だけでも良い。

(第二の実施の形態) 次に、本発明の第二の実施の形態に係る強誘電体薄膜キャパシタを、図3の断面図を用いて説明する。

【0017】第一の実施の形態との違いは、第二電極22、42が、第一電極21、41と接する反応防止導電層222、422と、低抵抗金属もしくは低抵抗金属を含有した低抵抗金属層221、421との二層からなること、及び第一電極21、41が、強誘電体薄膜の熱処理温度において反応を起こさない、例えばPt、あるいはRh、Ru、Os、Irのうち少なくとも一種の元素を含有するPtからなることである。その他、基板1、強誘電体薄膜3は、第一の実施の形態と同様なので説明は省略する。また、低抵抗金属層221、421は第一の実施の形態の第二電極22、42と同様の材料で形成される。

【0018】図3において、基板1上に低抵抗金属層221、反応防止導電層222、第一電極21の順で下部電極2を成膜する。ここで反応防止導電層は、ITO、SnO₂、In₂O₃、RuO₂、IrO₂、RhO₂、OsO₂、TiN、TiWのうち少なくとも一種を含む化合物であり、スパッタによって0.05~0.1μmに成膜される。また第一電極21は、Ptターゲット、あるいはRh、Ru、Os、Irのうち少なくとも一種の元素を含有するPtターゲット、を用いてスパッタにより0.1~0.5μmに成膜される。

【0019】次に、強誘電体薄膜3を成膜し、その後、600~800℃の熱処理を行う。さらに、その上に第一電極41、反応防止導電層422、低抵抗金属層421の順で上部電極4を成膜する。ここで、第一電極41、反応防止導電層422、低抵抗金属層421は、それぞれ下部電極2の第一電極21、反応防止導電層222、低抵抗金属層221と同様に構成する。次に、半導体工程で一般的に用いられるフォトリソグラフィ技術と、RIEまたはイオンミリングとを用いて上部電極4、強誘電体薄膜3、下部電極2の順に所定の形状を成膜し、最後に600℃以上の熱処理を行う。

【0020】以上をもって、本発明の第二の実施の形態である強誘電体薄膜キャパシタを形成する。本実施形態に係る強誘電体薄膜キャパシタでは、低抵抗電極と強誘電体とが接しておらず、600~800℃の高温熱処理に対して、低抵抗金属層221、421と反応防止導電層222、422との間、反応防止導電層222、422と第一電極21、41との間、第一電極と強誘電体薄膜3との間では反応が起こらない。従って、低抵抗電極を有し、且つ高温熱処理を施しても強誘電体の特性の劣化することのない強誘電体薄膜キャパシタを得ることができ、これを後述する図8に示すように複数マトリックス状に組み合わせると、大容量で高速処理が可能な半導体装置を作製することができる。

【0021】さらに、強誘電体薄膜3と接する第一電極21、41が、Pt、あるいはRh、Ru、Os、Irのうち少なくとも一種の元素を含有するPtで形成されているので、強誘電体薄膜キャパシタの良好な電気的特性あるいは物理的特性を引き出すことができる。特に、Rh、Ru、Os、Irのうち少なくとも一種の元素を含有するPtで形成されている場合には、Ptの延性が小さくなって剛性を増し、且つ結晶粒径のばらつきが小さくなって、600℃以上の熱処理を施してもヒロックが発生せず、強誘電体薄膜の熱処理時における核成長が良好に行われるので、欠陥のない強誘電体薄膜を形成できる。従って、特性が良好、且つ大容量で高速処理が可能な半導体装置を得ることができる。

【0022】なお、この発明の実施の形態の各構成は、当然、各種の変形、変更が可能である。例えば、下部電極2をフォトリソグラフィ技術と、RIEあるいはイオンミリングとを用いて所定形状に形成後に、強誘電体薄膜3を成膜してもよい。また、図4に示したように、下部電極2の低抵抗金属層221を基板1と反応防止導電層222で完全に覆った構造にしてもよい。さらには、上部電極4の反応防止層422、第一電極41、強誘電体薄膜3および下部電極2を所定形状に形成後に、600℃以上の熱処理を施し、その後上部電極4の低抵抗金属層421を成膜、形成してもよい。さらには、第一電極、第二電極からなる電極構造は上下電極のどちらか一方だけでも良い。

(第三の実施の形態) 次に、本発明の第三の実施の形態に係る強誘電体薄膜キャパシタを、図5の断面図を用いて説明する。

【0023】第二の実施の形態との違いは、第二電極22、42において、低抵抗金属層221、421が、反応防止導電層222、223、422、423に挟まれた構造になっていることである。その他の基板1、強誘電体薄膜3、第一電極21、41は、第二の実施の形態と同様の構成である。また、低抵抗金属層221、421および反応防止導電層222、223、422、423の材料、膜厚に関しても第二の実施の形態と同様である。

【0024】図5において、基板1上に反応防止導電層223、低抵抗金属層221、反応防止導電層222、第一電極21の順で下部電極2を成膜する。次に、強誘電体薄膜3を成膜し、その後600~800℃の熱処理を行う。さらにその上に、第一電極41、反応防止導電層422、低抵抗金属層421、反応防止導電層423の順で上部電極4を成膜する。ここで、第一電極41、反応防止導電層422、低抵抗金属層421、反応防止導電層423は、それぞれ下部電極2の第一電極21、反応防止導電層222、低抵抗金属層221、反応防止導電層223と同じ構成になっている。

【0025】次に、半導体工程で一般的に用いられるフ

オトリソグラフィ技術と、R I Eあるいはイオンミリングとを用いて上部電極4、強誘電体薄膜3、下部電極2の順に所定の形状を形成し、最後に600℃以上の熱処理を行う。以上をもって、本発明の第三の実施の形態である強誘電体薄膜キャパシタを形成する。

【0026】本実施形態に係る強誘電体薄膜キャパシタでも、第二の実施の形態と同様に、低抵抗電極を有し、且つ高温熱処理を施しても強誘電体の特性が劣化することのない強誘電体薄膜キャパシタを得ることができ、これを後述する図8に示すように複数マトリックス状に組み合わせると、大容量で高速処理が可能な強誘電体薄膜キャパシタを用いた半導体装置を得ることができる。

【0027】なお、本実施形態の各構成は、当然、各種の変形、変更が可能である。例えば、下部電極2をフォトリソグラフィ技術と、R I Eあるいはイオンミリングとを用いて所定形状に形成後に、強誘電体薄膜3を成膜してもよい。また、図6に示したように、下部電極2の低抵抗金属層221を、反応防止導電層222と反応防止導電層223とで完全に覆った構造にしてもよい。このように、完全に覆った構造にすれば、低抵抗金属層がサイドから溶け出すのを防止することもできる。さらには、上部電極4の反応防止導電層422と第一電極41、強誘電体薄膜3および下部電極2を所定形状に形成後に600℃以上の熱処理を施し、その後に上部電極4の低抵抗金属層421、反応防止導電層423を成膜、形成してもよい。さらには、第一電極、第二電極からなる電極構造は上下電極のどちらか一方だけでもよい。

(第四の実施の形態) 次に、本発明の第4の実施の形態に係る強誘電体薄膜キャパシタを、図7の断面図を用いて説明する。

【0028】第一から第三の実施の形態との違いは、第二電極22、42の第一電極21、41と接している面と反対側の面に、接着層23、43を形成した構造になっていることである。接着層23、43は、Tiを主成分とする化合物、またはITO、SnO₂、In₂O₃、RuO₂、IrO₂、RhO₂、OsO₂のうち、少なくとも一種の導電性酸化物で形成される。その他の基板1、強誘電体薄膜3、第一電極21、41、第二電極22、42の構成は、第一から第三の実施の形態と同様なので説明は省略する。

【0029】図7において、基板1上に接着層23、第二電極22、第一電極21の順で下部電極2を成膜する。次に、強誘電体薄膜3を成膜し、その後600～800℃の熱処理を行う。さらにその上に、第一電極41、第二電極42、接着層43の順で上部電極4を成膜する。次に、半導体工程で一般的に用いられるフォトリソグラフィ技術と、R I Eあるいはイオンミリングとを用いて、上部電極4、強誘電体薄膜3、下部電極2の順に所定の形状を形成し、最後に600℃以上の熱処理を行う。

【0030】以上をもって、本発明の第四の実施の形態である強誘電体薄膜キャパシタを形成する。本第四の実施の形態である強誘電体薄膜キャパシタでは、第一から第三の実施の形態と同様に、特性が良好、且つ高速処理が可能な強誘電体薄膜キャパシタが得られ、これを後述する図8に示すように複数マトリックス状に組み合わせると、大容量で高速処理が可能な半導体装置を作製することができる。さらに、接着層の形成により、膜剥離が発生せず歩留まりが向上した強誘電体薄膜キャパシタを用いた半導体装置が得られる。また、Tiを主成分とする化合物を接着層として用いた場合には、特に、接着性を向上させることができる。

【0031】なお、この発明の実施の形態の各構成は、当然、各種の変形、変更が可能である。例えば、下部電極2をフォトリソグラフィ技術と、R I Eあるいはイオンミリングとを用いて所定形状に形成後に強誘電体薄膜3を成膜してもよい。また、上部電極4の第二電極42と第一電極41、強誘電体薄膜3および下部電極2を所定形状に形成後に600℃以上の熱処理を施し、その後に上部電極4の接着層43を成膜、形成してもよい。さらには、第一電極、第二電極、接着層からなる電極構造は上下電極のどちらか一方だけでもよい。

(第五の実施の形態) 次に、本発明の第5の実施の形態に係る強誘電体薄膜キャパシタを、図8の平面図および図9の断面図を用いて説明する。

【0032】図8及び図9において、基板1は強誘電体薄膜キャパシタを駆動させるための回路を形成したシリコン基板であり、その基板上にCVD法などで成膜したBPSG、PSG、NSG、Si₃N₄等の絶縁膜7を介して、強誘電体薄膜キャパシタが形成されている。強誘電体薄膜キャパシタは複数のストライプ状の下部電極2と複数のストライプ状の上部電極4からなり、それらは互いに90度の角度で交差した格子状配列をなしており、その交差部が強誘電体薄膜キャパシタを形成している。従って下部電極数をn個、上部電極数をm個とすると、強誘電体薄膜キャパシタの数はm×n個の単純マトリックス構造となっている。

【0033】ここで、上下電極2、4は、上記実施の形態第1から第4の低抵抗金属層を有する電極構造を形成しており、強誘電体薄膜3の材料およびキャパシタの形成プロセスも、上記実施の形態第1から第4と同様である。また、強誘電体薄膜キャパシタの単純マトリックス上およびその周辺上に、CVDなどで形成したBPSG、PSG、NSG、Si₃N₄等の絶縁膜6を介して、Alなどで形成される配線電極5で、各上下電極2、4と駆動回路の1部である半導体拡散領域8が接続されている。

【0034】本第五の実施の形態である単純マトリックス型半導体装置ではマトリックス上の上下電極が低抵抗であることから信号波形の遅延などが緩和されるため

に、強誘電体薄膜キャパシタを大容量化しても高速処理が可能となる。なお、本実施の形態において、単純マトリックスは絶縁膜を介して積層構造にしてもよい。

【0035】ここで、本発明の要旨をまとめると以下のようになる。

(1)

(構成) 基板上に形成された下部電極と、前記下部電極上に形成された強誘電体薄膜と、前記強誘電体薄膜上に形成された上部電極とを有する半導体装置において、前記下部電極および前記上部電極の少なくとも一方の電極が、前記強誘電体薄膜と接し強誘電体薄膜の熱処理温度において反応しない材料からなる第一電極と、比抵抗 $1.0 \sim 3.0 \mu\Omega \text{cm}$ の低抵抗金属もしくはこの低抵抗金属を含有した合金からなる第二電極とで構成されていることを特徴とする半導体装置。

(作用) 低抵抗である第二電極と強誘電体薄膜間に、強誘電体薄膜の熱処理温度において反応しない第一電極が形成されており、第二電極と強誘電体薄膜が接していない。

【0036】高温熱処理時に第二電極と第一電極間、及び第一電極と強誘電体薄膜間では反応が起こらない。第二電極は低抵抗金属もしくは低抵抗金属を含有した合金からなるので、第二電極の面方向の抵抗が低くなる。よって、第一電極及び第二電極からなる上部電極及び下部電極の抵抗が低くなる。

(効果) 高温熱処理を施しても強誘電体の特性が劣化することのない強誘電体薄膜キャパシタを得ることができる。

【0037】低抵抗電極を有する半導体装置を得ることができ、半導体装置を大容量化しても高速処理を実現できる。

(対応する実施の形態) 第一の実施の形態

(2)

(構成) 前記第一電極が、ITO、 SnO_2 、 In_2O_3 、 RuO_2 、 IrO_2 、 RhO_2 、 OsO_2 のうち少なくとも一種からなる導電性酸化物で形成され、前記第二電極が、Al、Cu、Auのうち少なくとも一種からなる金属、またはこの金属を含有する合金で形成されることを特徴とする(1)記載の半導体装置。

(作用) 高温熱処理に対して、強誘電体薄膜と第一電極との間、および第一電極と第二電極との間で反応が起こらない。

(効果) 大容量化しても高速処理が可能な半導体装置を得ることができる。

(対応する実施の形態) 第一の実施の形態

(3)

(構成) 前記第二電極は、前記第一電極と接する反応防止導電層と低抵抗金属層とからなることを特徴とする

(1)記載の半導体装置。

(効果) 低抵抗電極を有する半導体装置を得ることがで

き、半導体装置を大容量化しても高速処理を実現できる。

(対応する実施の形態) 第二の実施の形態

(4)

(構成) 前記第一電極が、Pt、またはRh、Ru、Os、Irのうち少なくとも一種の元素を含有するPtで形成され、前記反応防止導電層が、ITO、 SnO_2 、 In_2O_3 、 RuO_2 、 IrO_2 、 RhO_2 、 OsO_2 、TiN、TiWのうち少なくとも一種の化合物で形成され、前記低抵抗金属層が、Al、Cu、Auのうち少なくとも一種からなる金属、またはこの金属を含有する合金で形成されることを特徴とする(3)記載の半導体装置。

(作用) 高温熱処理に対して、強誘電体薄膜と第一電極との間、第一電極と反応防止導電層との間、および反応防止導電層と低抵抗金属層との間で反応が起こらない。また、Pt、またはRh、Ru、Os、Irのうち少なくとも一種の元素を含有するPtで形成される第一電極が、半導体装置の良好な電気的特性および物理的特性を引き出す。

(効果) 特性が良好で、且つ大容量化しても高速処理が可能な半導体装置を得ることができる。

(対応する実施の形態) 第二の実施の形態

(5)

(構成) 前記反応防止導電層は、前記低抵抗金属層を挟みこむよう構成することを特徴とする(3)および

(4)記載の半導体装置。

(対応する実施の形態) 第三の実施の形態

(6)

(構成) 前記反応防止導電層は、前記低抵抗金属層を完全に覆うよう構成することを特徴とする(3)および

(4)記載の半導体装置。

(対応する実施の形態) 第三の実施の形態

(7)

(構成) 前記第二電極は、前記第一電極に接する面と反対側の面に接着層を有することを特徴とする(1)または(2)記載の半導体装置。

(作用) 接着層が、低抵抗金属層の膜剥離を防止する。

(効果) 膜剥離を防ぐことができ、歩留まりが向上した半導体装置を得ることができる。

(対応する実施の形態) 第四の実施の形態

(8)

(構成) 前記接着層は、Tiを主成分とする化合物、またはITO、 SnO_2 、 In_2O_3 、 RuO_2 、 IrO_2 、 RhO_2 、 OsO_2 のうち少なくとも一種からなる導電性酸化物で形成されることを特徴とする(7)記載の半導体装置。

(対応する実施の形態) 第四の実施の形態

(9)

(構成) 前記下部電極はストライプ状に複数配列した電

極からなり、前記上部電極は前記下部電極と互いに交差して格子状になるようストライプ状に複数配列した電極からなることを特徴とする(1)から(8)記載の半導体装置。

(作用) 単純マトリックス型半導体装置において、第一電極と第二電極より構成されるストライプ状の電極の抵抗が低くなる。

(効果) 少なくとも上下電極の一方が低抵抗であることから信号遅延などによる処理時間の限界が緩和でき、半導体装置を大容量化しても高速処理が実現できる。

(対応する実施の形態) 第五の実施の形態

【0038】

【発明の効果】 以上詳述したように、本発明によれば、熱処理に強く、大容量化した場合でも高速処理が可能な半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る強誘電体薄膜キャパシタの断面図、

【図2】 本発明の第1の実施の形態の変形例に係る強誘電体薄膜キャパシタの断面図、

【図3】 本発明の第2の実施の形態に係る強誘電体薄膜キャパシタの断面図、

【図4】 本発明の第2の実施の形態の変形例に係る強誘電体薄膜キャパシタの断面図、

電体薄膜キャパシタの断面図、

【図5】 本発明の第3の実施の形態に係る強誘電体薄膜キャパシタの断面図、

【図6】 本発明の第3の実施の形態の変形例に係る強誘電体薄膜キャパシタの断面図、

【図7】 本発明の第4の実施の形態に係る強誘電体薄膜キャパシタの断面図、

【図8】 本発明の第5の実施の形態に係る単純マトリックス型半導体装置の平面図、

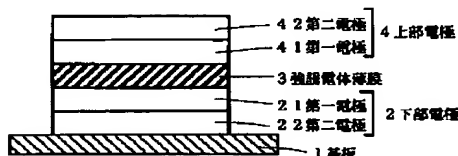
【図9】 本発明の第5の実施の形態に係る単純マトリックス型半導体装置の断面図、

【図10】 従来の強誘電体薄膜キャパシタの構成を示す断面図である。

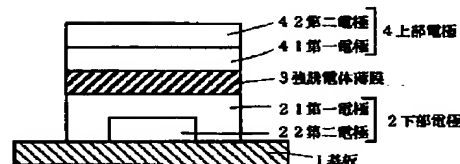
【符号の説明】

- 1 基板
- 2 下部電極
- 3 強誘電体薄膜
- 4 上部電極
- 5 配線電極
- 21, 41 第一電極
- 22, 42 第二電極
- 221, 421 低抵抗金属層
- 222, 422 反応防止導電層

【図1】



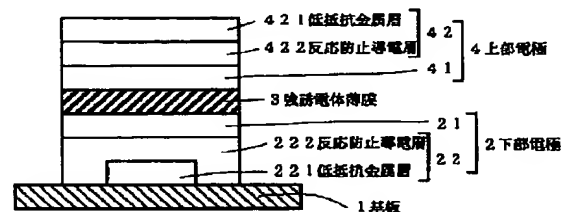
【図2】



【図3】



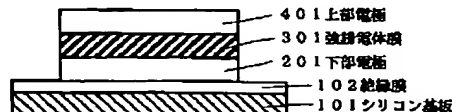
【図4】



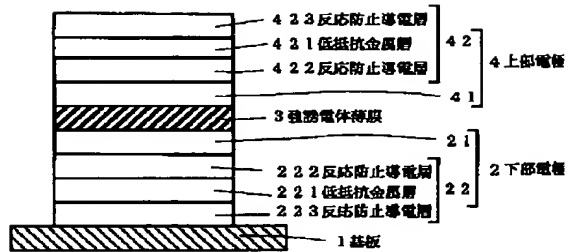
【図7】



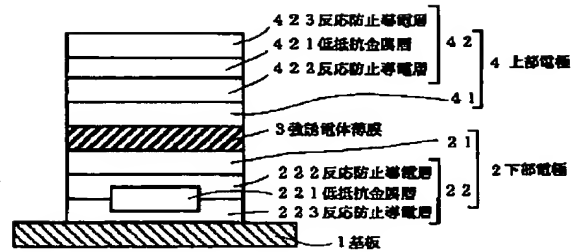
【図10】



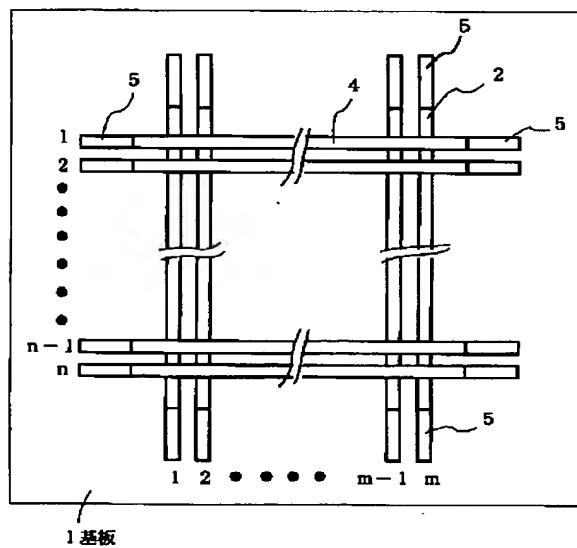
【図5】



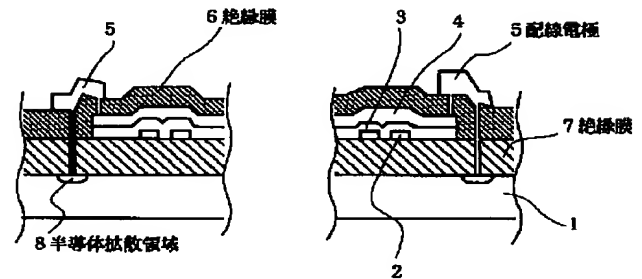
【図6】



【図8】



【図9】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/822

27/10

識別記号

庁内整理番号

F I

技術表示箇所

4 5 1